

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-090776
(43)Date of publication of application : 27.03.2002

(51)Int.Cl. G02F 1/1368
G02F 1/1339
G09F 9/30
H01L 21/3205
H01L 29/786

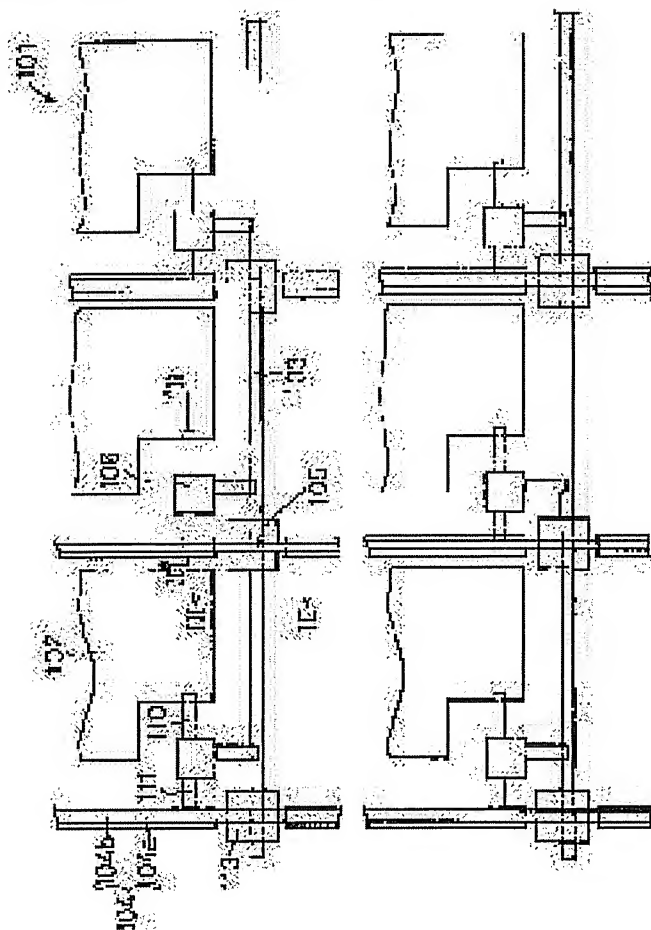
(21)Application number : 2000-281873 (71) SHARP CORP
Applicant :
(22)Date of filing : 18.09.2000 (72)Inventor : TAGUSA YASUNOBU
TANIGAWA TORU

(54) MANUFACTURING METHOD FOR ELECTRONIC COMPONENT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for an electronic component, which can produce an active matrix substrate of large substrate size efficiently with high reliability and also reduce the size increasing of various devices and factories.

SOLUTION: A vacuum film forming device forms a 1st conductive film on an insulating substrate 121 and this 1st conductive film is patterned as specified by, for example, a photoetching method to form a gate wire 103. An insulating layer 113 is laminated thereupon. On the insulating substrate 121, lower-layer source wires 104a are formed by a printing method and on the insulating layer 113, an upper-layer source wire 104b which connects the respective lower-layer source wire 104a is formed. The lower-layer source



Searching PAJ

wire 104a and upper-layer source wire 104b
constitute a source wire 104.

104

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-90776

(P2002-90776A)

(43) 公開日 平成14年3月27日 (2002.3.27)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1339	5 0 0 2 H 0 8 9
	1/1339		
G 0 9 F 9/30	5 0 0	G 0 9 F 9/30	3 3 8 2 H 0 9 2
	3 3 8		
H 0 1 L 21/3205		G 0 2 F 1/136	5 0 0 5 C 0 9 4
	29/786	H 0 1 L 21/88	B 5 F 0 3 3
		29/78	6 1 2 C 5 F 1 1 0
		審査請求 未請求 請求項の数11 O L (全 14 頁)	

(21) 出願番号 特願2000-281873(P2000-281873)

(22) 出願日 平成12年9月18日 (2000.9.18)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 田草 康伸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 谷川 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100075557

弁理士 西教 圭一郎

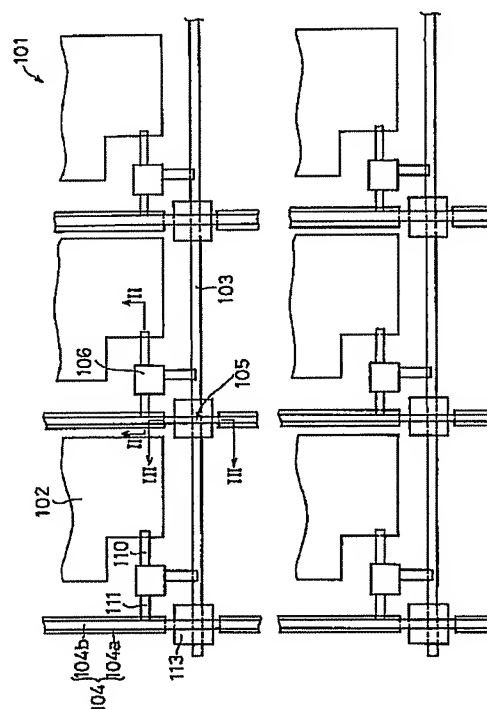
最終頁に続く

(54) 【発明の名称】 電子部品の製造方法

(57) 【要約】

【課題】 基板寸法が大きいアクティブマトリクス基板を、高信頼度で、かつ効率良く生産し、さらに各種装置や工場の大型化を低減することができる電子部品の製造方法を提供する。

【解決手段】 真空成膜装置によって、絶縁性基板121上に第1導電膜を形成し、この第1導電膜をたとえばフォトリソ法によって、所定パターンにパターン形成してゲート配線103を形成する。この上に絶縁層113を積層する。絶縁性基板121上に、印刷法によって、複数本の下層ソース配線104aを形成し、絶縁層113上に、各下層ソース配線104aを接続する上層ソース配線104bを形成する。下層ソース配線104aと上層ソース配線104bとによって、ソース配線104が構成される。



【特許請求の範囲】

【請求項1】 基板と、基板上に積層される第1パターン配線と、第1パターン配線上に積層される絶縁層と、絶縁層上に積層される第2パターン配線とを含む電子部品の製造方法において、

前記基板上に、真空成膜装置によって第1導電層を形成し、第1導電層を所定形状にパターン形成することによって、前記第1パターン配線を形成し、前記絶縁層上に、印刷法によって前記第2パターン配線を形成することを特徴とする電子部品の製造方法。

【請求項2】 基板と、基板上に積層される第1パターン配線と、第1パターン配線上に積層される絶縁層と、絶縁層上に積層される第2パターン配線とを含む電子部品の製造方法において、

前記基板上に、真空成膜装置によって第1導電層を形成し、第1導電層を所定形状にパターン形成することによって、前記第1パターン配線を形成し、前記絶縁層上に、塗布法によって表面が平坦な第2導電層を形成し、第2導電層を所定形状にパターン形成することによって前記第2パターン配線を形成することを特徴とする電子部品の製造方法。

【請求項3】 基板と、基板上に積層される第1パターン配線と、第1パターン配線上に積層される絶縁層と、絶縁層上に積層される第2パターン配線とを含む電子部品の製造方法において、

前記基板上に、真空成膜装置によって第1導電層を形成し、第1導電層を所定形状にパターン形成することによって、前記第1パターン配線を形成し、前記絶縁層上に、塗布法によって第2導電層を形成し、印刷法によって第2導電層上に所定パターンのレジストマスクを形成し、第2導電層をエッチングすることによって前記第2パターン配線を形成することを特徴とする電子部品の製造方法。

【請求項4】 前記第1パターン配線は、第1方向に延びる複数本の第1配線と、第1方向に略垂直な第2方向に延び、前記第1配線に接触しないように分断される複数本の第2配線とによって構成され、前記絶縁層は、前記第2配線の延長線と前記第1配線との交差部の第1配線上に積層され、前記第2パターン配線は、前記絶縁層をまたいで分断された第2配線を接続する複数本の第3配線を有することを特徴とする請求項1～3のいずれか一つに記載の電子部品の製造方法。

【請求項5】 前記第2パターン配線上に、表面が平坦化された平坦化絶縁層を形成することを特徴とする請求項1～4のいずれか一つに記載の電子部品の製造方法。

【請求項6】 前記平坦化絶縁層に、凸部を有する転写型を転写することによって、平坦化絶縁層に凹部を形成することを特徴とする請求項5記載の電子部品の製造方法。

【請求項7】 前記電子部品は、対向基板との間隔を保持するスペーサを有し、前記平坦化絶縁層に、凹部を有する転写型を転写することによって、平坦化絶縁層にスペーサと成る凸部を形成することを特徴とする請求項5または6記載の電子部品の製造方法。

【請求項8】 前記電子部品は、液晶表示装置のアクティブマトリクス基板であって、

前記第1配線はゲート配線であって、前記第2配線と第3配線とによってソース配線が構成され、

10 前記ゲート配線とソース配線との交差部の近傍に、薄膜トランジスタが設けられ、

前記薄膜トランジスタの近傍に画素電極が設けられ、前記画素電極と薄膜トランジスタのドレイン電極とを、電気的に接続するドレイン接続線を塗布法によって形成することを特徴とする請求項4～7のいずれか一つに記載の電子部品の製造方法。

【請求項9】 前記ドレイン接続線を平坦化絶縁膜に形成された凹部に形成することを特徴とする請求項8記載の電子部品の製造方法。

20 【請求項10】 前記ソース配線と前記薄膜トランジスタのソース電極とを、電気的に接続するソース接続線を塗布法によって形成することを特徴とする請求項8または9記載の電子部品の製造方法。

【請求項11】 前記ソース接続線を前記平坦化絶縁膜に形成された凹部に形成することを特徴とする請求項8～10のいずれか一つに記載の電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、たとえばコンピュータやテレビジョン受像機などのディスプレイに利用され、アドレス素子として薄膜トランジスタ（Thin Film Transistor 以下TFTと略記する）などのスイッチング素子を備えた透過型あるいは反射型などの液晶表示パネルのアクティブマトリクス基板などの製造方法に関する。

【0002】さらに詳しくは、ゲート配線と、ソース配線と、ゲート配線およびソース配線の交差部の近傍に設けられたスイッチング素子とを有し、このスイッチング素子は前記ゲート配線に接続されたゲート電極と、前記ソース配線に接続されたソース電極と、液晶層に電圧を印加するための画素電極に接続されたドレイン電極とを有する液晶表示パネルのアクティブマトリクス基板の製造方法に関する。

【0003】さらに本発明は、上記アクティブマトリクス基板のように、基板上に多数の配線やスイッチング素子やセンサ部などから成る一つの要素（ただし、スイッチング素子やセンサ部は必ずしもなくてもよい）が、複数繰り返されたパターンを有する電子部品、基板上に複数枚の膜から成る配線パターンを形成した半導体素子や、液晶表示パネル以外の表示装置（たとえばDMD）

や、イメージセンサなどの各種電子部品の製造方法に関する。

【0004】

【従来の技術】先行技術の電子部品について、TFT型液晶表示パネルのアクティブマトリクス基板を一例にして説明する。図8は、透過型液晶表示パネルのアクティブマトリクス基板1の一般的な構成を示す図である。

【0005】図8に示すように、アクティブマトリクス基板1には、数万から数十万個以上と多くの画素電極2がマトリクス状に形成されている。これらの各画素電極2に、スイッチング素子であるTFT3が接続される。このTFT3のゲート電極4に走査信号を供給するためのゲート配線7が接続され、ソース電極5に表示信号（データ信号）を供給するためのソース配線8が接続される。また、ドレイン電極6は画素電極2と負荷容量9の一方電極とに接続され、この負荷容量9の対向電極は共通配線10に接続される。

【0006】ゲート電極4に入力される走査信号によってTFT3が駆動制御される。TFT3の駆動時には、TFT3およびドレイン電極6を介して、表示信号が画素電極2に入力される。また上記各ゲート配線7と各ソース配線8とは、マトリクス状に配列された画素電極2の周囲を、互いに直交差して形成され、この交差部では、ゲート配線7とソース配線8との間にゲート絶縁層が介在され、ゲート配線7とソース配線8とが絶縁される。

【0007】図9は、アクティブマトリクス基板1のTFT3部分の断面図である。図9に示すように、透明な絶縁性基板11上に、ゲート配線7（図8参照）に接続されるゲート電極4が設けられ、このゲート電極4上に、ゲート電極4を全長にわたって覆うゲート絶縁層12が設けられる。このゲート絶縁層12上に、ゲート電極4に重畳するように半導体層13が設けられ、半導体層13の中央部の上にチャネル保護層14が設けられる。

【0008】チャネル保護層14の両端部および半導体層13の一部を覆い、チャネル保護層14上で分断された状態で、 $n+Si$ 層が設けられる。一方の $n+Si$ 層がソース電極5として機能し、他方の $n+Si$ 層がドレイン電極6として機能する。このソース電極5上にソース配線8となる金属層が設けられ、ドレイン電極6上に、ドレイン電極6と画素電極2とを接続する接続配線16となる金属層が設けられる。このようにして、スイッチング素子であるTFT3と、このTFT3の周辺構造が形成される。さらに、TFT3と、ゲート配線7

（図10では図示せず）およびソース配線8の上部とを覆って、層間絶縁層17が設けられる。

【0009】層間絶縁層17上に、画素電極2として機能する透明導電膜が設けられ、この画素電極2は、層間絶縁層17を貫通するコンタクトホール18を介して、

TFT3のドレイン電極15に接続される接続配線16に接続される。

【0010】上記のゲート絶縁層12および層間絶縁層17は、窒化シリコン（ SiN ）などの無機膜を真空CVD装置（Chemical Vapor Deposition：プラズマ励起化学気相成長装置）などの真空成膜装置によって、膜厚さが300～500nm（0.3～0.5 μm ）程度に形成される。これらの膜12、17を、これ以上の膜厚さにすると、デポジションに時間がかかって生産効率が悪くなるためである。また、膜厚を大きくすると、残留応力で基板11が反り、クラック21などの不良が増加する。

【0011】また、ゲート配線7およびソース配線8は、スパッタ装置などの真空成膜装置によって、アルミニウム、クロム、タンタル、チタンまたはITOなどからなる導電膜を基板11上に形成し、この導電膜をフォトリソ法によってパターン形成することによって作成される。

【0012】また、画素電極2、ゲート電極4、ソース電極5、ドレイン電極6、半導体層13、チャネル保護層14および接続配線16も、真空成膜装置によって薄膜を形成し、この薄膜をフォトリソ法によってパターン形成することによって形成される。

【0013】次に図10を参照して、ゲート配線7およびソース配線8などのパターン形成された導電膜、絶縁層および半導体膜の形成プロセスについて説明する。図10は、先行技術の膜形成プロセスを示す図である。なお各液晶表示装置の製造メーカーは、以下に述べる膜形成プロセスと同様のプロセスを使用している。また、このような膜形成プロセスの詳細については、株式会社ラジオ出版社が発行する刊行物「液晶ディスプレイ その概要と応用市場 シャープ株式会社 液晶事業本部編」に記載されている。

【0014】図10（a）に示すように、複数枚のアクティブマトリクス基板1を製造できる程度の大きさの大型基板51上に、真空成膜装置によって薄膜52（単層では約200nmから500nm、多層でも1 μm 未満）を形成する。次に図10（b）に示すように、薄膜52の全面にわたってレジスト53を塗布し、ベーク乾燥させる。次に図10（c）に示すように、レジスト53の上方に所定パターンのマスク54を配置し、矢符55に示すように紫外線を照射してレジスト53を露光する。

【0015】次に図10（d）に示すように、現像処理を行って薄膜52上に、所定のパターン形状のレジストマスク56を形成する。次に、図10（e）および図10（f）に示すように、薄膜52を所定形状にエッチングする。次に図10（g）に示すように、残存するレジストマスク56を薄膜52から剥離させ、洗浄および乾燥処理が行われて、図10（h）に示すように、パター

ン形成された導電膜、絶縁層および半導体膜が形成される。

【0016】つまり所定のパターン形状の薄膜を形成するためには、薄膜形成工程、レジスト塗布工程、ベーク乾燥工程、露光工程、現像工程、エッチング工程、レジスト剥離工程、洗浄工程および乾燥工程といった複数の工程を経る必要がある。

【0017】また、アクティブマトリクス基板1を製造するためには、複数回のフォトエッチング工程を必要とする。したがって、各液晶表示装置の製造メーカは、アクティブマトリクス基板の製造工程を短縮するために、4回または5回のフォトエッチング工程で済む製造プロセスを開発中であるが、工程数の削減にも限界がある。またこのように工程数を削減すると、歩留まりの低下、開口率の低下および信頼性の低下を招く。

【0018】また、ゲート配線7およびソース配線8は、高いパターン精度を必要とするので、極一部の特殊な場合を除き、ゲート配線7およびソース配線8の作成時に印刷法やメッキ法は使用されない。つまり、フォトエッチング法では、そのパターン精度が $\pm 1 \mu\text{m}$ ～ \pm 数 μm であるのに対して、印刷法では、高い精度の印刷法であっても、そのパターン精度は $\pm 10 \mu\text{m}$ ～ \pm 数十 μm 程度しかない。つまり、印刷法はフォトエッチング法に比較して、一桁以上の精度の差がある。またアクティブマトリクス基板では、ゲート配線7とソース配線8とを絶縁クロス配線する必要があるため、これらの配線7、8の形成に印刷法を使用すると、ゲート絶縁層12のカバー不良に起因する短絡および断線不良が増加する。

【0019】また上述したように、アクティブマトリクス基板の製造工程では、真空成膜装置による薄膜形成工程と、フォトエッチングによるパターン形成工程とが繰り返される。したがって、真空成膜工程およびフォトエッチング工程を削除した製造プロセスを技術確立する必要がある。しかしながら、上述のようにパターン精度の問題から、上記真空成膜工程およびフォトエッチング工程を、完全に印刷法に置き換えることは困難である。

【0020】

【発明が解決しようとする課題】 上述の真空成膜装置およびフォトリソグラフ工程の露光装置は高価であり、たとえば一台あたり数億円以上もする。また液晶表示パネルの製造工程では、このような高価な装置を数台必要とするので、先行技術の製造方法は、印刷法によってパターン膜を形成する場合に比べて、一桁から二桁もコストが高くなる。したがって投資を削減するために、一部の膜については、成膜を他会社に委託する場合もある。しかしながら他会社に委託すると、搬送コストや製造期間が増すと言った新たな問題が生じる。

【0021】また近年は、基板のサイズが1m角程度にまで大きくなってきているので、先行技術の製造プロセ

スでは、真空成膜装置および露光装置も大きいものを必要とし、これによって工場が巨大化する。したがって設備投資が嵩み、利便の良い場所での敷地確保が困難となる。このように工場が巨大化すると、製造工程中での気流確保が困難となり、これによって空気の滞留場所が増加し、工場の均一なクリーン度の維持が困難になり、製品の歩留まりや品質低下につながる恐れがある。また、このように各装置が巨大化すると、工程毎に工場内のフロアが離れたり、工程毎に工場が離れたり、工程毎に敷地が離れたりするので、搬送経路の設計が困難になるといった問題も生じる。さらに、各工程の各装置の外観寸法にばらつきが生じるため、各装置のライン配置やクリーン化設備設計が困難となる。

【0022】また、高温状況下で成膜する真空成膜装置では、極めて薄い薄膜しか形成することができないので、この薄膜の残留応力が大きくなる。これによって、薄膜に不良および欠陥が増加し、信頼性が低下する。また大型基板を使用すると、フォトエッチング処理時に、エッチングむらが生じ、エッチング液が段差形状部で染み込む恐れがある。したがって、アクティブマトリクス基板1のゲート配線7とソース配線8との交差部では、ゲート絶縁層12や配線が細くなり、ピンホールや欠けが生じることがある。これによっても、歩留まりが低下し、信頼性が低下する。

【0023】したがって本発明の目的は、液晶表示装置のアクティブマトリクス基板以外も含む電子部品、特に基板寸法が大きい電子部品を、高信頼度で、かつ効率良く生産し、さらに各種装置や工場的大型化を低減し、上記各不具合を解消することができる電子部品の製造方法を提供することである。

【0024】

【課題を解決するための手段】 請求項1記載の本発明は、基板と、基板上に積層される第1パターン配線と、第1パターン配線上に積層される絶縁層と、絶縁層上に積層される第2パターン配線とを含む電子部品の製造方法において、前記基板上に、真空成膜装置によって第1導電層を形成し、第1導電層を所定形状にパターン形成することによって、前記第1パターン配線を形成し、前記絶縁層上に、印刷法によって前記第2パターン配線を形成することを特徴とする電子部品の製造方法である。

【0025】本発明に従えば、真空CVD装置やスパッタ装置などの真空成膜装置によって、基板上に第1導電膜を形成し、この第1導電膜をたとえばフォトエッチング法によって、所定パターンにパターン形成して第1パターン配線を形成する。この第1パターン配線上に絶縁層を積層する。この絶縁層上に、スクリーン印刷や凸版印刷などの印刷法によって、直接第2パターン配線を形成する。

【0026】つまり第2パターン配線の形成時に、高価な真空成膜装置および露光装置を必要とせず、さらに印

刷装置は真空成膜装置および露光装置に比較すると安価であるので、設備投資のコストが削減できる。さらに、印刷装置は、真空室を必要としないため、真空成膜装置および露光装置に比較すると小型であり、サイズの大きな基板を使用したとしても、工場の巨大化を抑えることができる。これによって、工場の敷地確保が容易になり、さらに工場内のクリーン度を均一に維持することも容易となる。したがって、各工程間の搬送経路も簡素化することができる。さらに、印刷法によって形成された第2パターン配線は、真空薄膜装置によって形成される導電層に比較すると、厚膜であるため、電子部品内の薄膜の使用率を低下させることができる。これによって、歩留まりを向上させることができ、電子部品の信頼性も向上する。

【0027】請求項2記載の本発明は、基板と、基板上に積層される第1パターン配線と、第1パターン配線上に積層される絶縁層と、絶縁層上に積層される第2パターン配線とを含む電子部品の製造方法において、前記基板上に、真空成膜装置によって第1導電層を形成し、第1導電層を所定形状にパターン形成することによって、前記第1パターン配線を形成し、前記絶縁層上に、塗布法によって表面が平坦な第2導電層を形成し、第2導電層を所定形状にパターン形成することによって前記第2パターン配線を形成することを特徴とする電子部品の製造方法である。

【0028】本発明に従えば、真空CVD装置やスパッタ装置などの真空成膜装置によって、基板上に第1導電膜を形成し、この第1導電膜をたとえばフォトリソ法によって、所定パターンにパターン形成して第1パターン配線を形成する。この第1パターン配線上に絶縁層を積層する。この絶縁層上に、ロールコート法やスピンコート法などの塗布法によって、平坦な第2導電膜を形成し、この第2導電膜をパターン形成することによって、第2パターン配線を形成する。

【0029】塗布装置は、真空室を必要としないので、真空成膜装置に比較すると小型である。したがって、請求項1の本発明と同様の効果を達成することができる。

【0030】さらに、塗布法によって形成された第2導電層は、比較的厚膜であるため、配線の抵抗が低減され、これによって信号遅延が低減される。たとえば電子部品がアクティブマトリクス基板である場合には、表示品位を向上できるといった効果も生じる。また、塗布法で成膜される第2導電層は平坦であるので、第2パターン配線も平坦である。したがって、第2パターン配線上に、さらに各種の膜を形成したとしても、この膜の膜厚制御および平坦化が容易となる。さらに電子部品がアクティブマトリクス基板である場合には、たとえば第2導電層に透明なITOを使用すると、この第2導電層を画素電極に重畳することによって、開口率を向上させることができる。さらにこの第2導電層では、配向膜の膜厚

も均一にすることができる。

【0031】請求項3記載の本発明は、基板と、基板上に積層される第1パターン配線と、第1パターン配線上に積層される絶縁層と、絶縁層上に積層される第2パターン配線とを含む電子部品の製造方法において、前記基板上に、真空成膜装置によって第1導電層を形成し、第1導電層を所定形状にパターン形成することによって、前記第1パターン配線を形成し、前記絶縁層上に、塗布法によって第2導電層を形成し、印刷法によって第2導電層上に所定パターンのレジストマスクを形成し、第2導電層をエッチングすることによって前記第2パターン配線を形成することを特徴とする電子部品の製造方法である。

【0032】本発明に従えば、真空CVD装置やスパッタ装置などの真空成膜装置によって基板上に第1導電膜を形成し、この第1導電膜をたとえばフォトリソ法によって、パターン形成して第1パターン配線を形成する。この第1パターン配線上に絶縁層を積層する。この絶縁層上に、ロールコート法やスピンコート法などの塗布法によって、平坦な第2導電膜が形成する。この第2導電膜上に、スクリーン印刷や凸版印刷などの印刷法によって、所定のパターン形状を有するレジストマスクを形成した後、エッチングを行って第2パターン配線を形成する。

【0033】したがって、請求項1および請求項2の発明の効果と同様の効果を達成することができる。

【0034】また請求項1～3の発明に共通する作用として、印刷法や塗布法によって厚膜の導電層を形成するのは、第2パターン配線のみである。したがって、パターン形成精度が、フォトリソ法に比較して、多少劣ったとしても、たとえば液晶表示装置の開口率が低下するといった問題を、最小限に食い止めることができる。特に、画素ピッチの大きい液晶表示装置では、ほとんど問題になることがない。

【0035】請求項4記載の本発明は、前記第1パターン配線は、第1方向に延びる複数本の第1配線と、第1方向に略垂直な第2方向に延び、前記第1配線に接触しないように分断される複数本の第2配線とによって構成され、前記絶縁層は、前記第2配線の延長線と前記第1配線との交差部の第1配線上に積層され、前記第2パターン配線は、前記絶縁層をまたいで分断された第2配線を接続する複数本の第3配線を有することを特徴とする。

【0036】本発明に従えば、印刷法によって形成される第3配線は、第2配線を相互に接続する部分だけであり、特に第1配線と第2配線の延長線との交差部上の絶縁層の存在する領域のみだけであるので、先行技術に比較して第3配線のパターン精度が低下しても、液晶表示装置の開口率が低下するといった問題を最小限にすることができる。

【0037】請求項5記載の本発明は、前記第2パターン配線上に、表面が平坦化された平坦化絶縁層を形成することを特徴とする。

【0038】本発明に従えば、第2パターン配線上に表面が平坦な絶縁層を形成したので、厚膜の第2パターン配線と薄膜の第1パターン配線との間の段差を許容することができる。さらに、この絶縁層の上に電極や配線を形成したとき、これらの電極や配線の断線が少なくなる。また、電子部品が液晶表示装置のアクティブマトリクス基板である場合には、画素電極を第1パターン配線や第2パターン配線に重畳することができる。これによって、開口率を向上させることができ、輝度の向上およびバックライトの消費電力の低減を行うことができる。

【0039】請求項6記載の本発明は、前記平坦化絶縁層に、凸部を有する転写型を転写することによって、平坦化絶縁層に凹部を形成することを特徴とする。

【0040】本発明に従えば、凸部を有する転写型の凸面側を、平坦化絶縁層に押圧し、この転写型の凸部を平坦化絶縁層に転写することによって、平坦化絶縁層のパターン形成が行われる。つまり平坦化絶縁層のパターン形成に、装置が高価でランニングコストの高いフォトリソ法を行う必要がなくなる。また、電子部品がアクティブマトリクス基板である場合には、平坦化絶縁層に転写形成された凹部は、たとえば画素電極とドレイン電極とを接続するコンタクトホールとして機能することができる。また、このような転写形成法は、フォトリソ法に比較して、コンタクトホールの加工精度の制御を容易に行うことができるので、配線の断線などといった接続不良を低減することができる。したがって、アクティブマトリクス基板の信頼性が向上する。また、このような転写形成法は、3次元加工が容易であるので、部材および工程を複合し、簡素化することができる。

【0041】請求項7記載の本発明は、前記電子部品は、対向基板との間隔を保持するスペーサを有し、前記平坦化絶縁層に、凹部を有する転写型を転写することによって、平坦化絶縁層にスペーサと成る凸部を形成することを特徴とする。

【0042】本発明に従えば、凹部を有する転写型の凹面側を、平坦化絶縁層に押圧し、この転写型の凹部を平坦化絶縁層に転写することによって、平坦化絶縁層のパターン形成が行われる。つまり、平坦化絶縁層のパターン形成に、フォトリソ法を行う必要がない。また、電子部品がアクティブマトリクス基板である場合には、この平坦化絶縁層に転写形成された凸部がスペーサとして機能する。したがって、アクティブマトリクス基板上の散布される先行技術の単独スペーサを必要とせず、これによってアクティブマトリクス基板の部品点数が少なくなり、さらに単独スペーサの散布工程およびスペーサ散布装置が無くなるので、部材管理および作業工程管理の簡便化が進められ、投資およびフットプリントを低減

できる。また、上述のスペーサ散布方法では、散布されたスペーサは不特定領域に配置されるので、画素の開口率が低いといった問題があったが、このようにスペーサを転写形成することによって、スペーサの形成位置を、たとえばゲート配線とソース配線との交差部のような遮光部のみに制御することができる。したがって、液晶表示装置の表示品位が向上する。

【0043】請求項8記載の本発明は、前記電子部品は、液晶表示装置のアクティブマトリクス基板であって、前記第1配線はゲート配線であって、前記第2配線と第3配線とによってソース配線が構成され、前記ゲート配線とソース配線との交差部の近傍に、薄膜トランジスタが設けられ、前記薄膜トランジスタの近傍に画素電極が設けられ、前記画素電極と薄膜トランジスタのドレイン電極とを、電氣的に接続するドレイン接続線を塗布法によって形成することを特徴とする。

【0044】本発明に従えば、電子部品はTFT型の液晶表示装置であって、画素電極と薄膜トランジスタのドレイン電極とを電氣的に接続するドレイン接続線を、塗布法によって形成する。つまり、画素電極とドレイン電極との間の段差領域に形成されるドレイン接続線を、塗布法によって厚膜に形成するので、このドレイン接続線に作用する応力を少なくすることができる。したがって、段差領域で生じる断線などの不具合を防止することができ、液晶表示装置の歩留まりおよび信頼性が向上される。

【0045】請求項9記載の本発明は、前記ドレイン接続線を平坦化絶縁膜に形成された凹部に形成することを特徴とする。

【0046】本発明に従えば、ドレイン接続線が平坦化絶縁層の凹部に形成されるので、ドレイン接続線を平坦にすることが容易である。したがって、ドレイン接続線の断線などの不具合を防止することができ、歩留まりおよび信頼性が向上する。また、液晶の配向を均一に行うことができる。請求項10記載の本発明は、前記ソース配線と前記薄膜トランジスタのソース電極とを、電氣的に接続するソース接続線を塗布法によって形成することを特徴とする。

【0047】本発明に従えば、電子部品はTFT型の液晶表示装置であって、ソース配線と薄膜トランジスタのソース電極とを電氣的に接続するソース接続線を、塗布法によって形成する。つまり、ソース配線とソース電極との間の段差領域に形成されるソース接続線を、塗布法によって厚膜に形成するので、このソース接続線に作用する応力を少なくすることができる。したがって、段差領域で生じる断線などの不具合を防止することができ、液晶表示装置の歩留まりおよび信頼性が向上される。

【0048】請求項11記載の本発明は、前記ソース接続線を前記平坦化絶縁膜に形成された凹部に形成することを特徴とする。

【0049】本発明に従えば、ソース接続線が平坦化絶縁層の凹部に形成されるので、ソース接続線を平坦にすることが容易である。したがって、ソース接続線の断線などの不具合を防止することができ、歩留まりおよび信頼性が向上する。また、液晶の配向を均一に行うことができる。

【0050】

【発明の実施の形態】以下図面を参照して、本発明の電子部品の製造方法、およびこの電子部品の製造方法によって製造される電子部品について説明する。なお本実施形態では、電子部品としてTFT型の液晶表示装置のアクティブマトリクス基板を製造する場合について、説明するが、本発明はアクティブマトリクス基板の製造に限定されることはなく、その他の電子部品を製造するときにも、適用可能である。

【0051】図1は、本発明の第1の実施形態の電子部品の製造方法によって製造されたアクティブマトリクス基板101の平面図である。図1に示すように、アクティブマトリクス基板101には、透明導電材料から成る複数の画素電極102がマトリクス状に数万個以上設けられており（図1では6個に略）、これらの画素電極102の周囲を通り、互いに直交するように、走査信号を供給するための各ゲート配線103と表示信号（データ信号）を供給するためのソース配線104とが設けられている。また、これらのゲート配線103とソース配線104との絶縁クロス（交差）部105の近傍において、画素電極102に接続されるスイッチング素子としてのTFT106（Thin Film Transistor：薄膜トランジスタ）が設けられている。

【0052】このTFT106のゲート電極107にはゲート配線103が接続され、ゲート電極107に入力される走査信号によってTFT106が駆動制御される。また、TFT106のドレイン電極108は、ドレイン接続線110を介して画素電極102と接続されている。さらに、TFT106のソース電極109にはソース接続線111を介してソース配線104が接続され、そのソース電極109にデータ信号（表示信号）が入力される。

【0053】図2は、図1の切断面線I-Iから見た断面図である。図2に示すように、ガラスやプラスチックなどの絶縁性基板121上に、ゲート配線103に接続されゲート配線103と同一材料で同時形成されたゲート電極107が形成されているとともに、その上を覆って窒化シリコンなどのゲート絶縁層112が形成されている。さらにその上には、ゲート電極107と重畳するように半導体層122が形成されている。さらにその上に、ソース電極109およびドレイン電極108となるn+Si層が形成されている。ソース電極109上にはソース接続線111が形成され、ソース配線104に接続される。これらの、ゲート電極107、ゲート絶

縁層112、半導体層122、ソース電極109およびドレイン電極108によって、TFT106が構成される。

【0054】ソース配線104は、ゲート配線103と同一材料から成る、たとえば20 μ m程度と幅広の複数本の下層ソース配線104aと、ソース接続線111と同一材料から成り下層ソース配線104aより幅狭のたとえば12~13 μ m程度の幅を有する上層ソース配線104bとによって構成される。つまり、ソース配線104は、下層ソース配線104aと、この下層ソース配線104a上に積層される上層ソース配線104bとの2層構造である。また、ドレイン電極108はソース接続線111と同一材料から成るドレイン接続線110を介して画素電極102に接続される。

【0055】図3は、図1の切断面線I-Iから見た断面図である。図3に示すように、ソース配線104とゲート配線103とのクロス部105近傍を示す断面図である。クロス部105のゲート配線103の上にゲート絶縁層112と同一材料から成る絶縁層113が積層される。この絶縁層113と複数本の下層ソース配線104aとの上に、上層ソース配線104bが積層される。

【0056】次に、上述したアクティブマトリクス基板101の製造方法、特にゲート配線103およびソース配線104の形成方法について説明する。ガラスやプラスチックからなる絶縁性基板121上に、減圧CVD装置またはスパッタ装置などの真空成膜装置によって、第1導電膜を形成する。この第1導電膜は、アルミニウム、チタン、タンタルおよびクロムなどの高純度金属または添加合金化された単層構造または多層構造の金属膜である。第1導電膜は、200nm~300nm程度の薄い膜厚に成膜される。

【0057】この第1導電膜を、たとえばフォトリソ法によって、所定形状にパターン形成することによって、第1配線であるゲート配線103が絶縁性基板121上に形成される。ゲート配線103は、絶縁性基板121の一端辺に平行な第1方向（図1の左右方向）に延び、第1方向に略垂直な第2方向（図1の上下方向）に所定の間隔を開けて配置される。

【0058】第2配線である下層ソース配線104aは、各ゲート配線103間に第1方向に所定の間隔を開けて配置され、第2方向に延び、その両端部が各ゲート配線103に非接触に形成される。この下層ソース配線104aは、その幅が約20 μ m程度に形成される。

【0059】第1配線である複数本のゲート配線103と、第2配線である複数本の下層ソース配線104aとによって、第1パターン配線が構成される。

【0060】次に、少なくとも下層ソース配線104aの仮想延長線とゲート配線103との交差部105のゲート配線103上に、窒化シリコンなどの無機膜からな

る絶縁層113を積層する。なお、この絶縁層113は、下層ソース配線104aを完全に被覆しなければ、ゲート配線103を全長にわたって被覆する構成であっても良い。また絶縁層113は、有機膜であっても良い。

【0061】次に絶縁層113上に、スピコート法またはロールコート法などの塗布法によって、銅、銀またはニッケルなどの金属を含む金属ペーストを供給し、これを焼成することによって、膜厚が500nm〜3μmの平坦な第2導電層を形成する。この第2導電層上に、凸版印刷またはスクリーン印刷などの印刷法ならびに、フォトリソグラフィ法によって、所定のパターン形状を有するレジストマスクを形成し、エッチングすることによって、第3配線である上層ソース配線104bを複数本形成する。この複数本の上層ソース配線104bが第2パターン配線を構成する。

【0062】上層ソース配線104bは、前述のゲート配線103および下層ソース配線104aと同一材料から成る。この上層ソース配線104bは、ゲート配線103に関して、第1方向一方側の下層ソース配線104aの他端部133と、第1方向他方側の下層ソース配線104aの一端部134とを接続した状態で、絶縁層113上に積層される。つまり、上層ソース配線104bは、絶縁層113をまたいで、下層ソース配線104aを相互に接続する。この下層ソース配線104aと上層ソース配線104bとによって、ソース配線104が構成される。なお本実施形態では、一本の上層ソース配線104bが、第1方向に平行な同一直線上にある全ての下層ソース配線104aを被覆している。

【0063】また、この第2導電層上に、凸版印刷またはスクリーン印刷などの印刷法ならびに、フォトリソグラフィ法によって、所定のパターン形状を有するレジストマスクを形成しエッチングすることによって、前述のドレイン接続線110およびソース接続線111を形成する。

【0064】上述のよう製造されるアクティブマトリクス基板101では、ソース配線104の上層ソース配線104bが膜厚に形成されているので、真空成膜装置とフォトリソグラフィ法とによって、ソース配線を形成する先行技術に比較して、ソース配線104に作用する応力が少なくなる。したがって先行技術に比較して、クロス部105のソース配線104の断線を防止することができる。また、ドレイン接続線109およびソース接続線110も、先行技術に比較して厚膜に形成されるので、ドレイン接続線109およびソース接続線110の断線も防止される。したがって、歩留まりが向上し、アクティブマトリクス基板101の信頼性が向上する。

【0065】また、上層ソース配線104b、ドレイン接続線109およびソース接続線110の形成時に、高価な真空成膜装置および露光装置を必要としないので、

設備投資のコストを削減できる。さらに真空室を必要としないので、工場の巨大化を抑えることができる。これによって工場の敷地確保が容易になり、さらに工場内のクリーン度を均一に維持することができる。

【0066】次に、本発明の第2の実施の形態の電子部品の製造方法について説明する。図4は、本発明の第2の実施形態の電子部品の製造方法によって製造されたアクティブマトリクス基板201の平面図である。図4に示すように、アクティブマトリクス基板201には、透明導電材料から成る複数の画素電極202がマトリクス状に数万個以上設けられており（図4では6個に略）、これらの画素電極202の周囲を通り、互いに直交するように、走査信号を供給するための第1配線である各ゲート配線203と表示信号を供給するためのソース配線204とが設けられている。また、これらのゲート配線203とソース配線204の絶縁クロス部205の近傍において、画素電極202に接続されるスイッチング素子としてのTFT206が設けられている。

【0067】このTFT206のゲート電極207にはゲート配線203が接続され、ゲート電極207に入力される走査信号によってTFT206が駆動制御される。また、TFT206のドレイン電極208は、ドレイン接続線210を介して画素電極202と接続されている。さらに、TFT206のソース電極209にはソース接続線211を介してソース配線204が接続され、そのソース電極209に表示信号が入力される。

【0068】図5は、図4の切断面線V-Vから見た断面図である。図5に示すように、ガラスやプラスチックなどの絶縁性基板221上に、ゲート配線203に接続され、ゲート配線203と同一材料で同時形成されたゲート電極207が形成されているとともに、その上を覆って窒化シリコンなどのゲート絶縁層212が形成されている。さらにその上には、ゲート電極207と重畳するように半導体層222が形成されている。さらにその上に、ソース電極209およびドレイン電極208となるn+Si層が形成されている。ソース電極209上にはソース接続線211が形成され、ソース配線204に接続される。これらの、ゲート電極207、ゲート絶縁層212、半導体層222、ソース電極209およびドレイン電極208によって、TFT206が構成される。

【0069】ソース配線204は、ゲート配線203と同一材料から成る、たとえば20μm程度と幅広の複数本の第2配線である下層ソース配線204aと、ソース接続線211と同一材料から成り下層ソース配線204aより幅狭の、たとえば12〜13μm程度の幅を有する第3配線である上層ソース配線204bとによって構成される。つまり、ソース配線204は、下層ソース配線204aと、この下層ソース配線204a上に積層される上層ソース配線204bとの2層構造である。

【0070】また、ドレイン電極208はソース接続線211と同一材料から成るドレイン接続線210を介して画素電極202に接続される。ドレイン接続線210は、絶縁性基板221上に積層される第1接続線210aと、TFT206のドレイン電極208および第1接続線210aの一端部を被覆した状態で、両者を電氣的に接続する第2接続線210bと、画素電極202および第1接続線210aの他端部間に介在された状態で、両者を電氣的に接続する第3接続線210cとによって構成される。

【0071】また、アクティブマトリクス基板201上のほぼ全面にわたり、各部材間の隙間を埋めるようにして、表面が平坦な有機絶縁層235が積層される。この有機絶縁層235は、アクリル系樹脂から成り、その膜厚は約1 μ m～約4 μ m程度である。この有機絶縁層235上に画素電極202が積層される。この有機絶縁層235には、前述のソース接続線211を形成するための第1凹部251と、ドレイン接続線210の第1接続線210aを形成するための第2凹部252と、ドレイン接続線210の第3接続線210cを形成するための第3凹部253とが形成される。これらの第1～第3凹部251～253は、有機絶縁層235が未硬化の状態で、表面に凸部を有する転写型を押圧することによって、転写形成される。これらの第1～第3凹部251～253の各接続線211、210a、210cは、その表面が有機絶縁層235の表面と同一高さに成るように、形成される。また、これらの第1～第3接続線211、210a、210cは、塗布法によって形成される。

【0072】図6は、図4の切断面線VI-VIから見た断面図である。図6に示すように、クロス部205のゲート配線203の上にゲート絶縁層212と同一材料から成る絶縁層213が積層される。この絶縁層213と、ゲート配線203に関して一方側の下層ソース配線204aの一端部233と、ゲート配線203に関して他方側の下層ソース配線204aの他端部234との上に、上層ソース配線204bが積層される。

【0073】次に、上述したアクティブマトリクス基板201の製造方法、特にゲート配線203およびソース配線204の形成方法について説明する。ガラスやプラスチックからなる絶縁性基板221上に、減圧CVD装置またはスパッタ装置などの真空成膜装置によって、第1導電膜を形成する。この第1導電膜は、アルミニウム、チタン、タンタルおよびクロムなどの高純度金属または添加合金化された単層構造または多層膜構造の金属膜である。第1導電膜は、200nm～300nm程度の薄い膜厚に成膜される。

【0074】この第1導電膜を、たとえばフォトリソング法によって、所定形状にパターン形成することによって、複数本のゲート配線203と、複数本の下層ソー

ス配線204aとが絶縁性基板221上に形成される。ゲート配線203は、絶縁性基板221の一端辺に平行な第1方向（図4の左右方向）に延び、第1方向に垂直な第2方向（図4の左右方向）に所定の間隔を開けて配置される。

【0075】下層ソース配線204aは、各ゲート配線203間に第1方向に所定の間隔を開けて配置され、第2方向に延び、その両端部がゲート配線203に非接触に形成される。この下層ソース配線204aは、その幅が約20 μ m程度に形成される。

【0076】第1配線である複数本のゲート配線103と、第2配線である複数本の下層ソース配線204aとによって、第1パターン配線が構成される。次に、少なくとも下層ソース配線204aの延長線とゲート配線203との交差部205のゲート配線203上に、窒化シリコンなどの無機膜からなる絶縁層213を積層する。なお、この絶縁層213は、下層ソース配線204aを完全に被覆しなければ、ゲート配線203を全長にわたって被覆する構成であっても良い。また、絶縁層213は有機膜であっても良い。

【0077】絶縁層213上に、スピンコート法またはロールコータ法などの塗布法によって、銅、銀またはニッケルなどの金属を含む金属ペーストを供給し、これを焼成することによって、膜厚が500nm～3 μ mの平坦な第2導電層を形成する。この第2導電層上に、凸版印刷またはスクリーン印刷などの印刷法ならびに、フォトリソグラフィ法によって、所定のパターン形状を有するレジストマスクを形成し、エッチングすることによって、第3配線である上層ソース配線204bを複数本形成する。この複数本の上層ソース配線204bが第2パターン配線を構成する。

【0078】上層ソース配線204bは、前述のゲート配線203および下層ソース配線204aと同一材料から成る。この上層ソース配線204bは、ゲート配線203に関して、第1方向一方側の下層ソース配線204aの他端部233と、第1方向他方側の下層ソース配線204aの一端部234とを接続して、絶縁層213上に積層される。つまり、上層ソース配線204bは、絶縁層213をまたいで、下層ソース配線204aを接続する。下層ソース配線204aと上層ソース配線204bとによって、ソース配線204が構成される。

【0079】また、上層ソース配線204bは凸版印刷法によって、絶縁層213、各下層ソース配線204aの一端部233および他端部234にわたって被覆するように、印刷して形成することもできる。これは、上層ソース配線204aが、クロス部205の僅かな領域のみにしか形成しないため、印刷法であっても、十分なパターン精度を得ることができる。これによって、レジストマスクの形成工程およびエッチング工程を省略することができる。

10

20

30

40

50

【0080】また、上層ソース配線204bは、絶縁層213上に真空成膜法によって、平坦な第2導電層を形成し、この第2導電層上に、凸版印刷またはスクリーン印刷などの印刷法によって、所定のパターン形状を有するレジストマスクを形成し、エッチングすることによって形成されてもよい。

【0081】上述のように製造されるアクティブマトリクス基板201では、ソース配線204の上層ソース配線204bが膜厚に形成されているので、真空成膜装置とフォトリソ法とによって、ソース配線を形成する先行技術に比較して、ソース配線204に作用する応力が少なくなる。したがって先行技術に比較して、クロス部205のソース配線204の断線を防止することができる。

【0082】また、ゲート配線203と下層ソース配線204aとを、同一工程で形成するので、製造プロセスが先行技術に比較して短縮する。

【0083】また、上層ソース配線204b、ドレイン接続線209およびソース接続線210の形成時に、高価な真空成膜装置および露光装置を必要としないので、設備投資のコストを削減できる。さらに真空室を必要としないので、工場の巨大化を抑えることができる。これによって工場の敷地確保が容易になり、さらに工場内のクリーン度を均一に維持することができる。

【0084】また、画素電極202が平坦な有機絶縁層235上に形成され、かつ画素電極202に接続されるドレイン接続線209の第3接続線210cが、有機絶縁層235の第3凹部に形成され、この第3接続線210cの表面を有機絶縁層235の表面と同一高さにするので、画素電極202と第3接続線210cとの接続部の段差が可及的に小さくなり、断線などの不具合が防止される。

【0085】さらに画素電極202を、ゲート配線203および下層ソース配線204a上に、できるだけ近接させることができる。また、画素電極203を、ゲート配線203および下層ソース配線204a上に、重畳させることができる。したがって、開口率が向上するので、輝度の向上および消費電力の低減を図ることができる。

【0086】次に、本発明の第3の実施の形態の電子部品の製造方法について説明する。図7は、本発明の第3の実施の形態の電子部品の製造方法によって、製造されたアクティブマトリクス側基板301の断面図である。なお図7ではソース配線304とゲート配線303のクロス部305近傍と、ドレイン接続線310および画素電極302の接続部分とを示す。

【0087】図7に示すように、絶縁性基板321上に、ゲート配線303が形成され、このゲート配線303上に、窒化シリコンなどの無機膜から成る絶縁層313が積層される。この絶縁層313と、ゲート配線30

3に関して一方側の下層ソース配線304aの一端部333と、ゲート配線303に関して他方側の下層ソース配線304aの他端部334との上に、上層ソース配線304bが積層される。この上層ソース配線304bと下層ソース配線304aとによって、ソース配線304が構成される。なお、これらの各部材については、上述の第2の実施の形態と同一の製造方法によって、製造することができる。

【0088】また絶縁性基板321上に、TFT（図示せず）のドレイン電極に接続されるドレイン接続線310が形成される。

【0089】アクティブマトリクス基板301上のほぼ全面にわたり、各部材間の隙間を埋めるようにして、表面が平坦な有機絶縁層335が積層される。この有機絶縁層335は、アクリル系樹脂から成り、その膜厚は約1μm～約4μm程度である。

【0090】クロス部305上の有機絶縁層335に、凸部347が形成され、この凸部347は、仮想線で示される対向基板340とアクティブマトリクス側基板301の間の正確な間隙に保持するためのスペーサとして機能する。このようにスペーサの形成位置を、クロス部305のような遮光部のみにすることによって、開口率が向上する。さらに、先行技術のように、スペーサを散布する必要が無いので、部品点数が少なくなる。また、スペーサ散布工程および散布装置を必要としないので、部材管理および作業工程の簡便化が進められ、投資およびフットプリントを低減できる。

【0091】さらに、ドレイン接続線310と画素電極302との接続部には、凹部348が形成され、この凹部348は、ドレイン接続線310と画素電極302とを接続するためのコンタクトホールとして機能する。

【0092】次に、上記のスペーサとコンタクトホールとの製造方法について、説明する。未硬化の平坦な有機絶縁層335の上方に、表面の凹凸が形成された転写型を配置し、この転写型を有機絶縁層335に押圧することによって、有機絶縁層335に凹凸が転写形成される。このように、凸部347であるスペーサと凹部348であるコンタクトホールとが同時形成されるので、製造効率が向上する。また上述した転写形成法は、エッチングなどの他のパターン形成法に比較して、立体形状を効率良く形成することができる。

【0093】さらに、絶縁性基板321が数百mm角以上の大型基板であっても、寸法および形状のパラツキを小さく形成することができる。したがって、コンタクトホールに臨む有機絶縁層335の周壁341が、比較的なだらかな曲線から成り、かつそのテーパ角が30°～60°を有するように、安定した加工を行うことができる。したがって、コンタクトホールを介して、ドレイン接続線310に接続される画素電極302の接続部346の断線を低減することができる。なお、転写型による

転写形成のみでは、コンタクトホールの有機絶縁層335を完全に除去して、ドレイン接続線310を完全に露出させることは困難な場合もあるため、転写形成後に、一様に有機絶縁層335の表面をわずかに、たとえば100~300nm程度に、エッチング除去することが好ましい。

【0094】

【発明の効果】請求項1記載の本発明によれば、第2パターン配線の形成時に、高価な真空成膜装置および露光装置を必要としないので、設備投資のコストが削減できる。さらに、印刷装置は真空室を必要としないため、工場の巨大化を抑えることができる。これによって、工場の敷地確保が容易になり、さらに工場内のクリーン度を均一に維持することも容易となる。したがって、各工程間の搬送経路も簡素化することができる。さらに第2パターン配線は、電子部品内の薄膜の使用率を低下させることができる。これによって、歩留まりを向上させることができ、電子部品の信頼性も向上する。

【0095】請求項2記載の本発明によれば、塗布装置は、真空室を必要としないので、真空成膜装置に比較すると小型である。したがって、請求項1の本発明と同様の効果を達成することができる。さらに第2導電層は、比較的厚膜であるため、配線の抵抗が低減され、これによって信号遅延が低減される。たとえば電子部品がアクティブマトリクス基板である場合には、表示品位を向上できるといった効果も生じる。また第2パターン配線は平坦であるので、第2パターン配線上にさらに各種の膜を形成したとしても、この膜の膜厚制御および平坦化が容易となる。

【0096】請求項3記載の本発明によれば、請求項1および請求項2の発明の効果と同様の効果を達成することができる。

【0097】請求項4記載の本発明によれば、先行技術に比較して第3配線のパターン精度が低下しても、液晶表示装置の開口率が低下と言った問題を最小限にすることができる。

【0098】請求項5記載の本発明によれば、第2パターン配線上に表面が平坦な絶縁層を形成したので、厚膜の第2パターン配線と薄膜の第1パターン配線との間の段差を許容することができる。さらに、この絶縁層の上に電極や配線を形成したとき、これらの電極や配線の断線が少なくなる。また、電子部品がアクティブマトリクス基板である場合には、画素電極を第1パターン配線や第2パターン配線に重畳することができる。これによって、開口率を向上させることができ、輝度の向上およびバックライトの消費電力の低減を行うことができる。

【0099】請求項6記載の本発明によれば、つまり平坦化絶縁層のパターン形成に、装置が高価でランニングコストの高いフォトエッチング法を行う必要がなくなる。また、電子部品がアクティブマトリクス基板である

場合には、平坦化絶縁層に転写形成された凹部は、たとえば画素電極とドレイン電極とを接続するコンタクトホールとして機能することができる。

【0100】請求項7記載の本発明によれば、平坦化絶縁層のパターン形成に、フォトエッチングを行う必要がない。また、電子部品がアクティブマトリクス基板である場合には、この平坦化絶縁層に転写形成された凸部がスペーサとして機能する。したがって、アクティブマトリクス基板の散布される先行技術の単独スペーサを必要とせず、これによってアクティブマトリクス基板の部品点数が少なくなる。さらに単独スペーサの散布工程およびスペーサ散布装置が無くなるので、部材管理および作業工程管理の簡便化が進められ、投資およびフットプリントを低減できる。また、上述のスペーサ散布方法では、散布されたスペーサは不特定領域に配置されるので、画素の開口率が低いといった問題があったが、このようにスペーサを転写形成することによって、スペーサの形成位置を、たとえばゲート配線とソース配線との交差部のような遮光部のみに制御することができる。したがって、液晶表示装置の表示品位が向上する。

【0101】請求項8記載の本発明によれば、画素電極とドレイン電極との間の段差領域に形成されるドレイン接続線を、塗布法によって厚膜に形成するので、このドレイン接続線に作用する応力を少なくすることができる。したがって、段差領域で生じる断線などの不具合を防止することができ、液晶表示装置の歩留まりおよび信頼性が向上される。

【0102】請求項9記載の本発明によれば、ドレイン接続線が平坦化絶縁層の凹部に形成されるので、ドレイン接続線を平坦にすることが容易である。したがって、ドレイン接続線の断線などの不具合を防止することができ、歩留まりおよび信頼性が向上する。また、液晶の配向を均一に行うことができる。請求項10記載の本発明によれば、ソース配線とソース電極との間の段差領域に形成されるソース接続線を、塗布法によって厚膜に形成するので、このソース接続線に作用する応力を少なくすることができる。したがって、段差領域で生じる断線などの不具合を防止することができ、液晶表示装置の歩留まりおよび信頼性が向上される。

【0103】請求項11記載の本発明によれば、ソース接続線が平坦化絶縁層の凹部に形成されるので、ソース接続線を平坦にすることが容易である。したがって、ソース接続線の断線などの不具合を防止することができ、歩留まりおよび信頼性が向上する。また、液晶の配向を均一に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の電子部品の製造方法によって製造されたアクティブマトリクス基板101の平面図である。

【図2】図1の切断面線I-Iから見た断面図であ

る。

【図3】図1の切断面線ⅠⅠⅠ-ⅠⅠⅠから見た断面図である。

【図4】本発明の第2の実施形態の電子部品の製造方法によって製造されたアクティブマトリクス基板201の平面図である。

【図5】図4の切断面線Ⅴ-Ⅴから見た断面図である。

【図6】図4の切断面線ⅤⅠ-ⅤⅠから見た断面図である。

【図7】本発明の第3の実施形態の電子部品の製造方法によって、製造されたアクティブマトリクス側基板301の断面図である。

【図8】先行技術の透過型液晶表示パネルのアクティブマトリクス基板1の一般的な構成を示す図である。

【図9】アクティブマトリクス基板1のTFT3部分の*

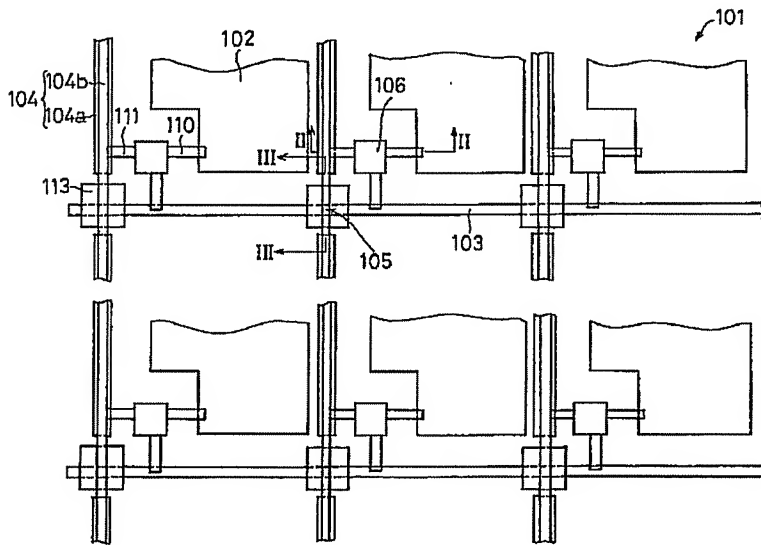
* 断面図である。

【図10】先行技術の膜形成プロセスを示す図である。

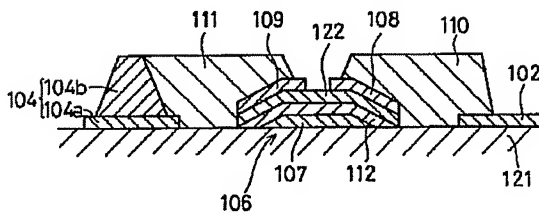
【符号の説明】

101, 201, 301	アクティブマトリクス基板
102, 202, 302	画素電極
103, 203, 303	ゲート配線
104, 204, 304	ソース配線
105, 205, 305	クロス部
106, 206, 306	TFT
110, 210, 310	ドレイン接続線
111, 211, 311	ソース接続線
121, 221, 321	絶縁性基板
235, 335	平坦化絶縁膜
251, 252, 253, 348	凹部
347	凸部

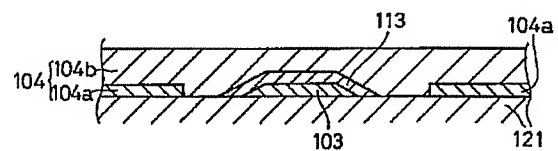
【図1】



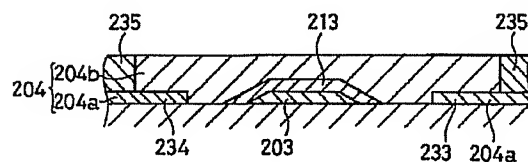
【図2】



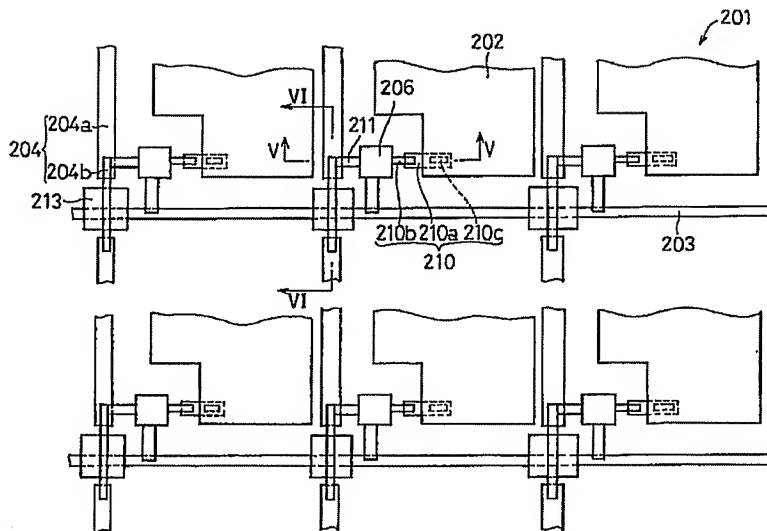
【図3】



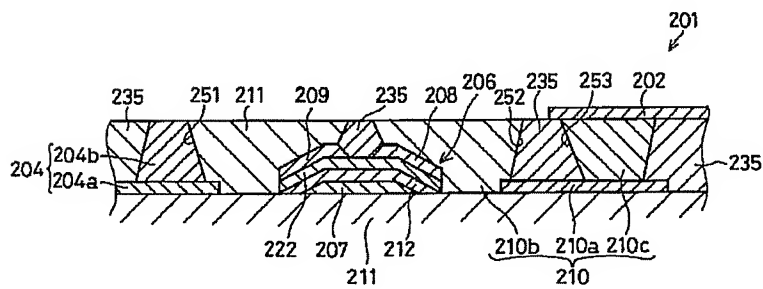
【図6】



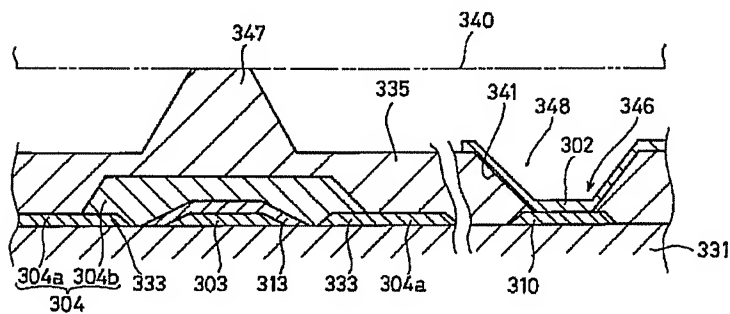
【図4】



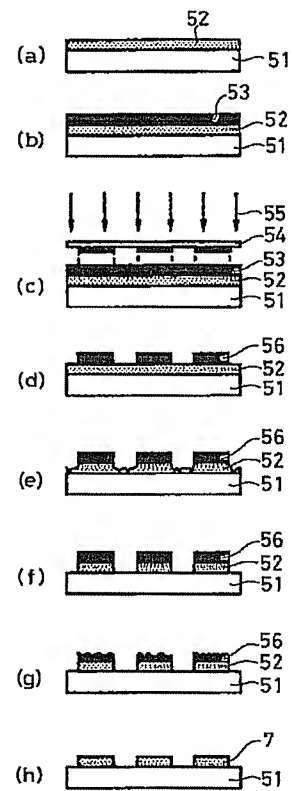
【図5】



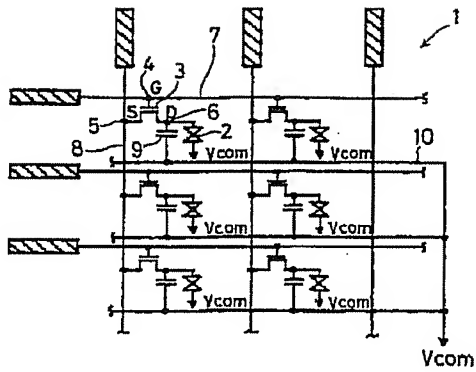
【図7】



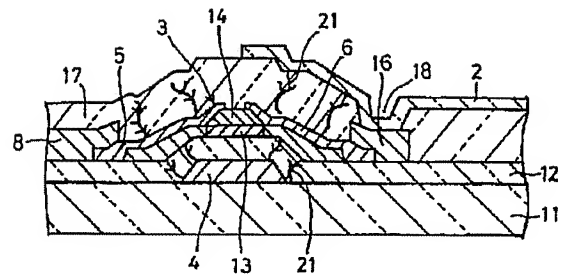
【図10】



【図8】



【図9】



フロントページの続き

F ターム(参考) 2H089 LA06 MA03X NA05 NA07
 NA08 QA12 TA02 TA09
 2H092 JA41 JB22 JB31 JB58 MA02
 MA10 MA14 MA15 MA18 NA29
 PA03
 5C094 AA42 AA43 BA03 BA43 CA19
 DA13 DA15 EA03 EA04 EA07
 GB01
 5F033 GG04 HH07 HH08 HH11 HH14
 HH17 HH18 HH21 MM05 MM17
 PP09 PP15 PP26 QQ08 VV15
 XX33 XX34
 5F110 AA16 AA26 BB01 BB10 CC07
 DD01 DD02 EE03 EE04 EE14
 EE37 EE44 EE45 FF03 HK02
 HK04 HK09 HK21 HM19 NN72
 QQ02